

PAT-NO: JP405218042A
DOCUMENT-IDENTIFIER: JP 05218042 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: August 27, 1993

INVENTOR-INFORMATION:

NAME
YAMADA, HIROSHI
SAITO, MASAYUKI

ASSIGNEE-INFORMATION:

NAME
COUNTRY
TOSHIBA CORP N/A

APPL-NO: JP04019855

APPL-DATE: February 5, 1992

INT-CL (IPC): H01L021/321, H01L021/60 , H01L027/04

ABSTRACT:

PURPOSE: To avoid damage, rupture, etc., of an electrode bump due to a later thermal stress even when a flip chip is connected to a mounting board having different thermal expansion coefficients by disposing a bonding pad on an insulating layer of a semiconductor device region

and providing the bump thereon.

CONSTITUTION: The semiconductor device comprises a semiconductor substrate 9', a semiconductor element region 9a formed on its main surface, first bonding pads 8 arranged on the outer periphery of the region 9a, and an insulating film 10 covering the surface of the region 9a. Further, the device comprises second bonding pads 11 formed inside from the pads 8 on the film 10, bump electrodes 13 provided on the surface of the pads 11, and wirings 12 connected at one ends to the pads 8 and at the other to the pads 11. The area of the pad 11 is formed larger than that of the pad 8.

COPYRIGHT: (C)1993, JPO&Japio

DERWENT-ACC-NO: 1993-306750

DERWENT-WEEK: 200241

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device with
bumps - has second bonding
pads on semiconductor device
region, disposed inside
first bonding pads NoAbstract

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 1992JP-0019855 (February 5, 1992)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE
JP 05218042 A		August 27, 1993
N/A	008	H01L 021/321
JP 3285919 B2		May 27, 2002
N/A	008	H01L 021/60

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	
APPL-NO	APPL-DATE	
JP 05218042A	N/A	
1992JP-0019855	February 5, 1992	
JP 3285919B2	N/A	
1992JP-0019855	February 5, 1992	
JP 3285919B2	Previous Publ.	JP
5218042	N/A	

INT-CL (IPC): H01L021/321, H01L021/60 ,
H01L021/822 , H01L027/04

ABSTRACTED-PUB-NO: JP 05218042A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/17

TITLE-TERMS: SEMICONDUCTOR DEVICE BUMP SECOND BOND
PAD SEMICONDUCTOR DEVICE
 REGION DISPOSABLE FIRST BOND PAD
NOABSTRACT

DERWENT-CLASS: U11

EPI-CODES: U11-D03B1; U11-D03C1;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1993-236073

(11)特許出願公開番号

特開平5-218042

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321				
21/60	3 1 1 Q	6918-4M		
27/04	E	8427-4M		
		9168-4M	H 0 1 L 21/ 92	C

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号 特願平4-19855

(22)出願日 平成4年(1992)2月5日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山田 浩

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 齊藤 雅之

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

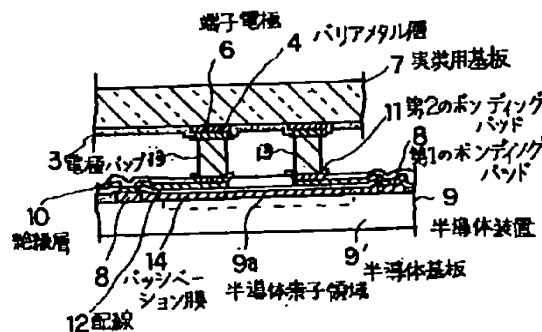
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 半導体装置

(57)【要約】 (修正有)

【目的】 半導体装置の熱膨張係数と熱脚張係数が異なる実装用基板に、フリップチップ接続（実装）した場合でも、熱ストレスにより電極パンパ部での破損、破断現象などを回避する。

【構成】 半導体基板9'に形成された半導体素子領域9aと、半導体素子領域9aの外周囲に配列された第1のボンディングパッド8と、ボンディングパッド8面を露出させ少なくとも半導体素子領域9a面を被覆する絶縁膜10と、絶縁膜10上にボンディングパッド8よりも内側に形設された第2のボンディングパッド11と、ボンディングパッド11面上に設けられたバンパ電極13と、ボンディングパッド8に一端が接続しボンディングパッド11に他端が接続して絶縁膜10領域に配設された配線12とを具備して成り、ボンディングパッド11の面積が、パッド8の面積よりも大きい。



【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板の主面に形成された半導体素子領域と、前記各半導体素子領域に対応して半導体素子領域の外周囲に配列された第1のボンディングパッドと、前記第1のボンディングパッド面を露出させ少なくとも半導体素子領域面を被覆する絶縁膜と、前記絶縁膜上で第1のボンディングパッドに対応して第1のボンディングパッドよりも内側に形設された第2のボンディングパッドと、前記第2のボンディングパッド面上に設けられたバンパ電極と、前記第1のボンディングパッドに一端が接続し第2のボンディングパッドに他端が接続して絶縁膜領域に配設された配線とを具備して成り、前記第2のボンディングパッドの面積が、第1のボンディングパッドの面積よりも大きく設定されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体装置に係り、特に半導体装置の半導体素子領域上にバンパ電極が設けられて成る半導体装置に関する。

【0002】

【従来の技術】周知のように、半導体装置は高集積化の方向にあるとともに、一方では、高集積化された半導体装置を高密度に実装して、回路のコンパクト化ないし機能の大容量化も図られている。たとえば半導体メモリ装置を搭載するメモ리카ードにおいて、半導体メモリ容量を増加させると同時に、基板への半導体装置の高密度実装が試みられている。この半導体装置の高密度実装手段として、パッケージ化された半導体素子（装置）を用いる場合、製品の規格により要求されるカード厚の制限から、表面実装部品が使われる。

【0003】しかして、前記表面実装部品の場合、そのアウターリードの構成によって、ガルウィング型と、より高密度実装を目的としたJリード型に大別できるが、パッケージ部品を用いる点で高密度化には限界がある。そこで表面実装技術より高密度化が可能な、フリップチップ接続方法が用いられる。つまり、フリップチップ接続方法（フリップチップ実装技術）によれば、半導体装置（半導体素子）を基板面に実装する場合、パッケージ部品を用いる場合と比較して1/2～1/3程度の実装面積で実装できるからである。

【0004】そして、前記実装用基板に対するフリップチップ接続は、図14、図15および図16にそれぞれ断面的に示すごとく行われている。図14および図15はフリップチップ接続の構造を拡大して示すもので、1は半導体装置2面にパッシベーション膜3から露出して予め配置されているボンディングパッド、4は前記ボンディングパッド1の露出面上に形成されたバリアメタル層、5は前記バリアメタル層4面上に電気メッキ法、ディップ法、

蒸着法などで形成された半田から成るストレートウォール状もしくは太鼓型状などのバンパ電極である。一方、6は実装用基板（回路基板）7面にパッシベーション膜3'から露出して予め配置されている端子電極、4'は前記端子電極6の露出面上に形成されたバリアメタル層である。しかして、前記半導体装置2の突起状バンパ電極5端面を、実装用基板7面のバリアメタル層4'面に位置合わせ・対接させて配置した後、前記突起状バンパ電極5をリフローさせることによって、電気的および機械的な接続が行われている。図16は前記により実装用基板7に対して半導体装置2をフリップチップ接続したときの構造を断面的に示したもので、半導体基板2'の主面に形成された半導体素子領域2aに対応して半導体素子領域2aの外周囲に配列されたボンディングパッド1面に対応した位置において、実装用基板7面に突起状バンパ電極5を介して接続した構成を成している。つまり、電極バンパ5を介しての実装用基板7に対する半導体装置2の接続（実装）は、半導体素子領域2aよりも外側で成されている。なお、図17は前記半導体装置2のボンディングパッド1の配置状態を平面的に示すものである。【0005】ところで、この種のフリップチップ接続（実装）の場合は、半導体装置（半導体基板）2と実装用基板7の熱膨張係数の相違によって発生する応力がバンパ電極5に集中して、バンパ電極5が破損され易いという問題がある。すなわち、実装用基板7とこれにフリップチップ接続（ないし実装）した半導体装置2との熱膨張性に起因して、半導体装置2の動作に伴う発熱および使用動作温度範囲内で互いに膨張するが、それらの熱膨張係数の相違から、これらの接続一体化に関与している電極バンパ5の接続部に集中的に熱ストレスが加わることになる。そして、この熱ストレスの加わり方は、電極バンパ5間が離隔している程大きくなる。こうした熱膨張係数の相違による電極バンパ5の破損を防止するため、実装した半導体装置2と実装用基板7面とが成す空間部を樹脂で充填することも試みられている。この樹脂充填手段により、前記熱膨張係数の相違に起因する不都合（故障）は、ある程度減少されるが実用上十分満足し得るものではない。特に、半導体装置2と実装用基板7との熱膨張係数が大きく相違場合は、実装用基板7と充填樹脂との界面に応力が集中して、電極バンパ5の破壊を招来し易いので、所要の機能を失う恐れがあるなど信頼性の点で問題がある。この点、たとえばシリコンウエハを実装用基板7とし、半導体装置（半導体素子）2を配置する手段（Chip On Wafer）が好ましいといえるが、製造工程の煩雑さおよび製造コストなどの面で問題がある。

【0006】

【発明が解決しようとする課題】上記したように、たとえばメモ리카ードの構成において、半導体装置の実装をフリップチップ実装技術（接続技術）で使えば、高密度

実装が可能であるなど多くの利点があるものの、熱膨張係数の相違に起因する電極バンパ5の破損性、機能的な信頼性などに問題がある。このような電極バンパ5の破損性、換言するとバンパ接続部分における切断不良の発生を解消するため、電極バンパ5の構造を熱ストレスに対して耐性ある構造とすることも試みられている。たとえば、ポリイミド樹脂フィルムを挟んでバンパを積層型に構成（電子通信情報学会技術報告CPM-19~24(1987)、あるいはバンパの形状を鼓型に構成することが知られている。しかし、前記のように電極バンパを積層型に構成する場合は、いわゆるバンパシートの製作を要するなど形成が煩雑になり、コストアップとなるばかりでなく、積層に伴う接続箇所が増加で電気的な接続の信頼性にも問題がある。また、電極バンパを鼓型に構成する場合は、電極バンパ5を溶融させ実装用基板7の端子電極4'に一旦接続させた状態で、半導体装置2と実装用基板7との距離を適度に引離してバンパを鼓型化するため、前記電極バンパを形成する半田量などに応じて引離しが適正に行われないと、接続不良を招いたり、あるいは所要の鼓型を構成し得ないという問題がある。

【0007】一方、前記半導体装置のフリップチップ接続ないし実装は、いわゆるフェースダウン実装で、半導体装置2の動作に伴い発熱する素子領域面が実装用基板7面向対向するため、その発熱量が半導体装置2に蓄積され機能の低下もしくは故障を招来し易いという問題もある。したがって、前記フェースダウンに実装した構造において、たとえば半導体装置2外周面を可及的に露出させ放熱し易いようにすることが望まれる。このような放熱対策として半導体装置2の裏面に放熱フィンを配置する手段もあるが、薄形化が大幅に損なわれるという不都合がある。また、前記電極バンパ5を、たとえばCuなど熱伝導性のよい金属を中心と軸とし、その周面に半田層を配置して成る2層構造にして、中心軸をなす熱伝導性のよい金属によって放熱させることも試みられているが、接続強度および電気的な接続性（抵抗増加など）の点で、信頼性に欠けている。

【0008】本発明は、上記事情に対処してなされたもので、半導体装置の熱膨張係数と熱膨張係数が異なる実装用基板に、フリップチップ接続（実装）した場合でも、その後の熱ストレスにより電極バンパ部での破損、破断現象などが全面的に回避され、かつすぐれた放熱性を呈し、信頼性の高い機能を保持・発揮する半導体装置の提供を目的とする。

【0009】

【課題を解決するための手段】本発明の半導体装置は、半導体基板と、前記半導体基板の主面に形成された半導体素子領域と、前記各半導体素子領域に対応して半導体素子領域の外周囲に配列された第1のボンディングパッドと、前記第1のボンディングパッド面を露出させ少なくとも半導体素子領域面を被覆する絶縁膜と、前記絶縁

膜上に第1のボンディングパッドと対応して第1のボンディングパッドよりも内側に形設された第2のボンディングパッドと、前記第2のボンディングパッド面上に設けられたバンパ電極と、前記第1のボンディングパッドに一端が接続し第2のボンディングパッドに他端が接続して絶縁膜領域に配設された配線とを具備して成り、前記第2のボンディングパッドの面積が、第1のボンディングパッドの面積よりも大きく設定されていることを特徴とする。

10 【0010】上記の構成において、絶縁膜上に形設された第2のボンディングパッド数は、第1のボンディングパッド数に対応しており、第1のボンディングパッドが配置された領域よりも内側領域に、任意のピッチや位置に形設・配置されるが、その形設・配置はたとえば縦横複数列など格子状の規則的な配置が望ましい。また、この格子状の配置において、対角線上の角部（再外周の角部）を除外した形（角部を第2のボンディングパッドの配置禁止領域）としておくことが好ましい。

【0011】

20 【作用】本発明に係る半導体装置においては、図1に要部構成例を断面的に示すごとく、第1のボンディングパッド8が配置された領域よりも内側で、かつ所要の半導体素子領域9aが形成されている領域面の絶縁層10b上に、露出して第2のボンディングパッド11が配置され、これらは前記絶縁層10bおよび層間絶縁層10aを介して、たとえば多層的に配設された配線12で接続されている。つまり、実装用基板7面にフェースダウンで実装・接続される電極バンパ13は、半導体基板9'の半導体素子領域9aが形成されている領域面上に配置された構成を成しているため、実装用基板7面に対する接続に関与する領域面（接続に要する実効面積）が低減された形となる。したがって、半導体装置9に加わる実効的な熱膨張も小さくなるので、実装用基板7および半導体装置9の熱膨張係数の相違に起因する電極バンパ13に加わるストレスも軽減され、もって熱ストレスに対する信頼性の向上が図られる。しかも、この構成では、半導体装置9の半導体素子9a領域での発熱は、前記第2のボンディングパッド11面上の電極バンパ13を介して容易に実装用基板7側へ放熱されることになる。

40 【0012】また、前記第2のボンディングパッド11は、それぞれ面積が、第1のボンディングパッド8の面積よりも大きく設定されているため、電極バンパ13も比較的大きく形成し得ることになるので、フリップ接続（実装）時の位置合わせを容易に成し得るとともに、接続強度の改善も図り得る。

50 【0013】さらに、前記第2のボンディングパッド11を、対角線上の角部を除外して格子状に配置した構成とした場合は、実装用基板7面にフェースダウンで実装・接続した際、その実装・接続部（電極バンパ13の接続部）に、熱サイクルストレスが加わっても、実装用基板

7および半導体装置9間の変位量が最大となる(したがって熱ストレスが最も加わる)対角線上の角部に電極バンパ13が存在しないため、全体的にはほぼ一様な応力が電極バンパ13に加わることになって、接続部の信頼性も損なわれることがなくなる。

【0014】

【実施例】以下図2～図12、および図13を参照して本発明の実施例を説明する。

【0015】図2は本発明に係る半導体装置9の構成例を平面的に示したもので、9'は半導体基板、9aは前記半導体基板9'面に形設された半導体素子領域、8は前記半導体基板9'面の半導体素子領域9aが形設された領域の外側に配置された第1のボンディングパッド、13は前記半導体素子領域9a面上に配線12を備えた図示されていない絶縁層を介して表面に設けられた第2のボンディングパッド11面上に積層して配置された電極バンパである。そして、この図からも分かるように、前記第1のボンディングパッド8は第2のボンディングパッド11にそれぞれ対応しており、前記絶縁層に単層もしくは多層的に絶縁して配置された配線12によって電氣的に接続した構成を成している。

【0016】次にこのような構成を成す半導体装置9の製造方法について、その実施態様を断面的に示す図3～図11を参照して説明する。

【0017】先ず、所要の半導体領域9aが所定面に形設された半導体基板9'を用意し、前記半導体領域9aの各半導体素子を接続する所要の配線、半導体領域9aの外周部への対応する第1ボンディングパッド8形成、パッシベーション膜14の形成を行う。その後、前記パッシベーション膜14上に、たとえばポリイミド前駆体 UR-3140 (商品名、東レ製)をスピンコートし、選択露光、現像液 DV-505 (商品名、東レ製)による現像処理を施して、前記第1ボンディングパッド8面を開口・露出させてから、400℃にて加熱しポリイミド前駆体 UR-3140膜をイミド化させて第1の絶縁層 10aを形成する(図3)。

【0018】次に、前記形成した第1の絶縁層 10a面上に、たとえば蒸着法によって Al/Ti層を全面的に被着・形成してから、この Al/Ti層上にエッチングレジスト 0 FPR-800 (商品名、東京応化製)をスピンコートし、アリベーク、選択露光、現像処理を施して、前記第1ボンディングパッド8に接続するエッチングレジストパターンを形成する。こうして、所要のエッチングレジストパターンを形成した後、リン酸/酢酸/硝酸の混合溶液で Al層を、また EDTA/NH₃ / H₂ O₂ で Ti層を順次エッチングしてから、エッチングレジストを剥離・除去して配線12を形成する(図4)。

【0019】前記配線12を形成した上に、前記の第1の絶縁層 10aを形成する手段に準じて、第2の絶縁層 10bを形成する。この第2の絶縁層 10b形成に当たっては、

前記配線12にそれぞれ接続する形で、所要のスルホールを形成する。しかる後、この第2の絶縁層 10b面上に、前記配線12を形成する手段に準じて、Al/Ti層の被着・形成、この Al/Ti層の選択的なエッチング処理して第2の配線パターン12'を形成する(図5)。

【0020】次いで、前記第2の配線パターン12'形成面上に、前記の第1の絶縁層 10aを形成する手段に準じて、第3の絶縁層 10cを形成する。この第3の絶縁層 10c形成に当たっては、前記半導体領域9a面上に位置する領域で、第2の配線パターン12'の少なくとも一部がそれぞれ露出する形に(第2のボンディングパッド11を成す)スルホールを形成する(図6)。

【0021】前記第2のボンディングパッド11面を、たとえば 100μm□程度を露出させて第3の絶縁層 10cを設けた後、この第3の絶縁層 10c面上に、Cu/Ti 層15を蒸着法によって全面的に被着・形成してから(図7)、厚膜レジスト AZ4903 (商品名、ヘキストジャパン社製)をスピンコートし、膜厚さ50μm程度レジスト層を形成して、このレジスト層16に選択露光、現像処理を施して、前記第2のボンディングパッド11面に対応するCu/Ti 層15領域を、たとえば60μm□程度露出させる(図8)。

【0022】このようにして、第2ボンディングパッド11にに対応する開口領域(100μm□)よりも小さな寸法でレジスト層16を開口(60μm□)させた半導体基板9'を、無紫外光下で硫酸銅250g/l、硫酸(比重1.84)50g/l からなる溶液に浸漬し、浴温度25℃に設定して、前記Cu/Ti 層15を陰極とする一方高純度銅板を陽極とし、電流密度 5 A/dm² 印加して緩やかに攪拌しながら銅を厚さ35μm程度メッキする(バリアメタル層の形成)。

【0023】その後、メッキ浴を全 Sn 40g/l、第1 Sn 35g/l、Pb 44g/l、遊離ホウ酸 40g/l、ホウ酸 25g/l、ニカワ 3.0g/l から成る溶液に替えて、前記 Cu/Ti層15を陰極とする一方40%Snを陽極とし、電流密度 5 A/dm² 印加して緩やかに攪拌しながら、Pb/Sn=40/60の合金(半田)を厚さ35μm程度に連続メッキして電極バンパ13を形成する(図9)。

【0024】上記により第2のボンディングパッド(領域)11面上に、Pb/Sn系の電極バンパ13を形成した後、この半導体基板9'面をアセトンで洗浄処理してレジスト層16を除去してから(図10)、前記Pb/Sn系の電極バンパ13をマスクとして、過硫酸アンモニウム/硫酸/エタノールから成る混合溶液を用い、先ず前記Ti/Cu層15中のCu層をエッチング除去後、EDTA/アンモニア/過酸化水素から成る混合液でTi層をエッチング除去することによって、所望の半導体装置9を得ることができる(図11)。

【0025】図12は前記構成の半導体装置9を、実装用回路基板、たとえばアルミナ基板7面にフェースダウン

7

で接続・実装した構成の要部を断面的に示したもので、次のような手段で容易に接続・実装を成し得る。すなわち、予め加熱機構を具備するステージ面に載置され、Cuの融点よりも低い温度、たとえば280℃に予備加熱されているアルミナ基板7面に対して、半導体装置9をフェースダウンの位置関係に保持し、たとえばハーフミラーを用いる位置合わせ法によって、相互に対応するアルミナ基板7面の端子電極6と半導体装置9の電極バンパ13とを位置合わせし、かつ相互に接触させる。この状態で、前記半導体装置9を保持するコレットの温度が、前記ステージと同程度の温度、たとえば280℃に維持されるように窒素雰囲気中で加熱し、前記電極バンパ13を形成する半田を溶融させることにより、アルミナ基板7面に半導体装置9が電気的に接続・実装される。

【0026】次に、本発明に係る半導体装置の他の構成例について説明する。

【0027】図13は、本発明に係る半導体装置を平面的に示したもので、半導体素子領域9a面上に配置される第2のボンディングパッド11(群)中、相互の距離・間隔が最大となる対角線上の角部(コーナー部)の少なくとも一部に、第2のボンディングパッド11を配置・形成しないように構成した他は、基本的な構成は前記図2に平面的に図示した半導体装置9の場合と同様である。したがって、その製造も前記した製造手段に沿って容易に構成し得る。

【0028】このように第2のボンディングパッド11を、対角線上の角部を除外して格子状に配置した構成とした場合は、さらに次のような特有な作用・効果が認められる。すなわち、実装用基板7面にフェースダウンで実装・接続した際、その実装・接続部(電極バンパ13の接続部)に、熱サイクルストレスが加わっても、実装用基板7および半導体装置9間の変位量が最大となる(したがって熱ストレスが最も加わる)対角線上の角部に電極バンパ13が存在しないため、全体的にほぼ一様な応力が電極バンパ13に加わるようになって、接続部の信頼性も損なわれることがなくなる。

【0029】たとえば、熱膨張係数がSiの2倍近くある $6.0 \sim 6.5 \times 10^{-6}/^{\circ}\text{C}$ のアルミナ基板7(7.5×7.5cm)面に、第2のボンディングパッド11の配置を図2

(実施例1)および図13(実施例2)、さらに比較のため図17(従来例)に図示した構成の半導体装置9、2

(7.0×7.0cm)…Siの熱膨張係数は $3.5 \times 10^{-6}/^{\circ}\text{C}$ …を、それぞれフリップチップ接続・実装して実装回路装置を構成した。次いで、これらの実装回路装置について、温度サイクル試験{-55℃(30 min)~25℃(5 min)~150℃(30 min)~25℃(5 min)}で信頼性を評価したところ、この信頼性試験1000回での不良率発生は、比較例の場合が53/100であったのに対して、実施例1、2

の場合、0/100であった。また、前記信頼性試験を5000回行った後の不良率発生は、比較例の場合が100/100

8

0であったのに対して、実施例1の場合78/100、実施例2の場合0/100であり、従来のフリップチップ実装(接続)用の半導体装置に比べて、実装(接続)部に対する熱応力に起因した破損ないし破断現象の発生など大幅に低減・回避し得る。つまり、本発明に係る半導体装置は、実装回路装置の構成に用いた場合、構成された実装回路装置の信頼性などに大きく寄与することになる。

【0030】なお、本発明は上記実施例に限定されるものでなく、その趣旨を逸脱しない範囲でいろいろの変形が可能である。たとえば、電極バンパ13の構成はPb/Sn以外に、前記Pb/SnにIn、Sb、Bi、Zn、Agなどを添加したもの、あるいはIn、Sb、Bi、Zn、Agなどを主成分とした合金系のものであってもよい。また、バリア金属層を成す金属の種類、膜の厚さ、その他金属層の形成手段、メッキレジストやエッチングレジストの種類、レジスト層(膜)の形成手段など、いずれも前記例示の場合に限定されるものでない。

【0031】

【発明の効果】本発明に係る半導体装置においては、第1のボンディングパッドが配置された領域よりも内側で、かつ所要の半導体素子領域が形成されている領域面上の絶縁層上に、露出して第2のボンディングパッドが配置され、これらは前記絶縁層および層間絶縁層を介して、たとえば多層的に配設された配線で接続されている。つまり、実装用基板面にフェースダウンで実装・接続される電極バンパは、半導体素子領域が形成されている領域面上に配置された構成を成している。したがって、実装用基板面に対する接続に関与する領域面(接続に要する実効面積)が低減された形となる。換言すると、半導体装置に加わる実効的な熱膨張も小さくなるので、実装用基板および半導体装置の熱膨張係数の相違に起因する電極バンパに加わるストレスも軽減され、もって熱ストレスに対する信頼性の向上が図られる。

【0032】しかも、この構成では、半導体装置の半導体素子領域での発熱は、前記第2のボンディングパッド面上の電極バンパを介して容易に実装用基板側へ放熱されることになる。また、前記第2のボンディングパッドは、それぞれ面積が、第1のボンディングパッドの面積よりも大きく設定されているため、電極バンパも比較的大きく形成し得ることになるので、フリップ接続(実装)時の位置合わせを容易に成し得るとともに、接続強度の改善も図り得る。

【0033】さらに、前記第2のボンディングパッドを、対角線上の角部を除外して格子状に配置した構成とした場合は、実装用基板面にフェースダウンで実装・接続した際、その実装・接続部(電極バンパの接続部)に、熱サイクルストレスが加わっても、実装用基板および半導体装置間の変位量が最大となる(したがって熱ストレスが最も加わる)対角線上の角部に電極バンパが存在しないため、全体的にほぼ一様な応力が電極バンパに

加わることになって、接続部の信頼性も損なわれることがなくなる。かくして本発明に係るフリップチップ接続型の半導体装置は、信頼性の高い実装回路装置の構成に、大きく寄与するものといえる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置を実装用基板面に実装・接続した構造の要部を示す断面図。

【図2】本発明に係る半導体装置の構成例を示す平面図。

【図3】本発明に係る半導体装置の製造例の実施態様において第1の絶縁層を設けた状態を模式的に示す断面図。

【図4】本発明に係る半導体装置の製造例の実施態様において配線を設けた状態を模式的に示す断面図。

【図5】本発明に係る半導体装置の製造例の実施態様において第2のボンディングパッドの一部を成す金属層を設けた状態を模式的に示す断面図。

【図6】本発明に係る半導体装置の製造例の実施態様において第2のボンディングパッド領域を開口・露出させてレジストマスクを設けた状態を模式的に示す断面図。

【図7】本発明に係る半導体装置の製造例の実施態様において第2のボンディングパッド領域面のバリアメタル層を成す金属層を設けた状態を模式的に示す断面図。

【図8】本発明に係る半導体装置の製造例の実施態様において電極パンプ形成領域を開口・露出させてレジストマスクを設けた状態を模式的に示す断面図。

【図9】本発明に係る半導体装置の製造例の実施態様に

において電極パンプを電気メッキ形成する状態を模式的に示す断面図。

【図10】本発明に係る半導体装置の製造例の実施態様においてレジストマスクを除去して電極パンプを露出させた状態を模式的に示す断面図。

【図11】本発明に係る半導体装置の製造例の実施態様においてバリアメタル層を成す金属層の不要部分を除去した状態を模式的に示す断面図。

【図12】本発明に係る半導体装置を実装用基板面に実装・接続した他の構造の要部を示す断面図。

【図13】本発明に係る半導体装置の他の構成例を示す平面図。

【図14】従来の半導体装置の実装用基板面に対する実装・接続構造を示す断面図。

【図15】従来の半導体装置の実装用基板面に対する他の実装・接続構造を示す断面図。

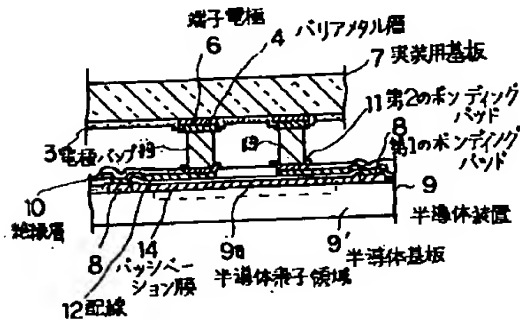
【図16】従来の半導体装置を実装用基板面に実装・接続した構造の要部を示す断面図。

【図17】従来の半導体装置の構成例を示す平面図。

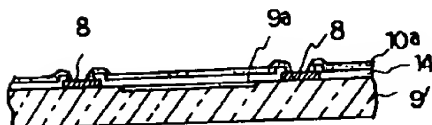
【符号の説明】

1…ボンディングパッド 2, 9…半導体装置
2', 9'…半導体基板 2a, 9a…半導体素子領域
3, 3', 14…パッシベーション膜 4, 4', 15…バリアメタル層 5, 13…電極パンプ 6…端子電極 7…実装用基板 8…第1のボンディングパッド 10a, 10b, 10c…絶縁層 11…第2のボンディングパッド 12, 12'…配線 16…レジスト層

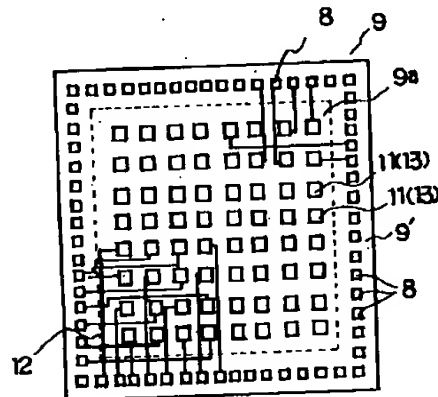
【図1】



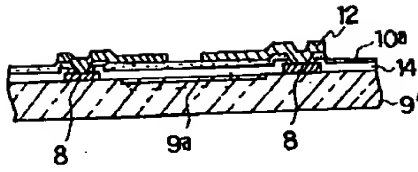
【図3】



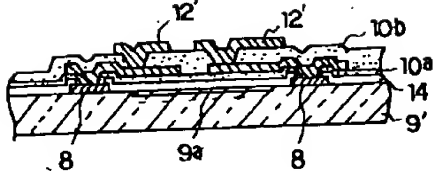
【図2】



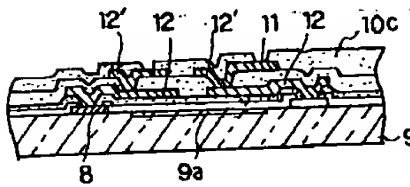
【図4】



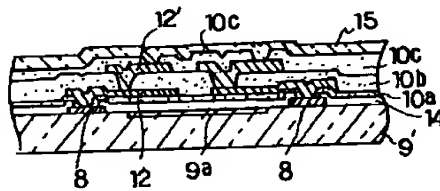
【図5】



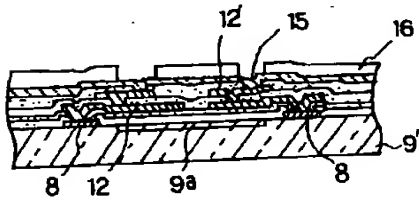
【図6】



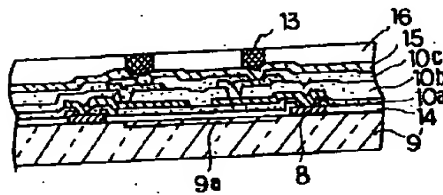
【図7】



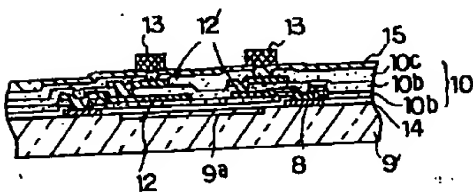
【図8】



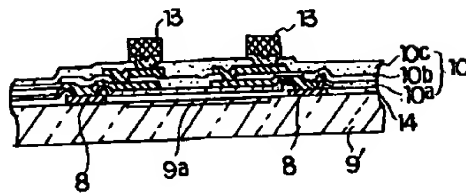
【図9】



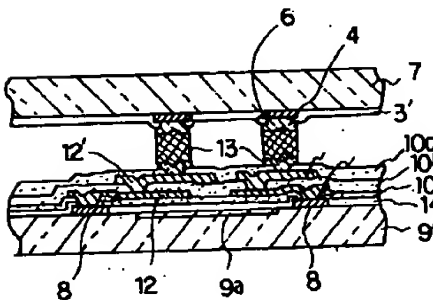
【図10】



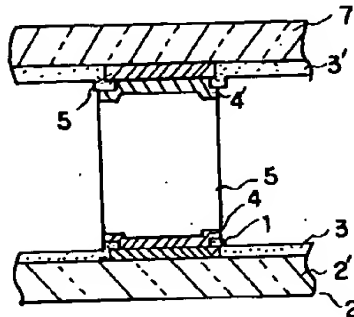
【図11】



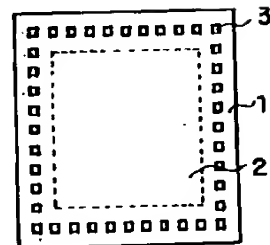
【図12】



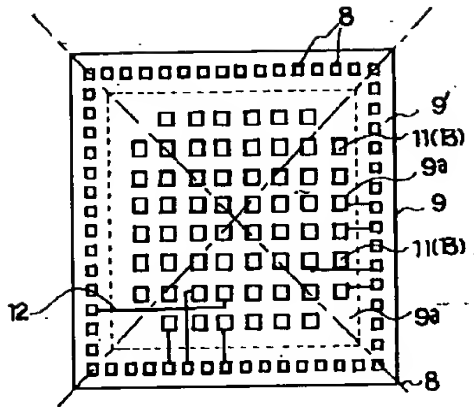
【図14】



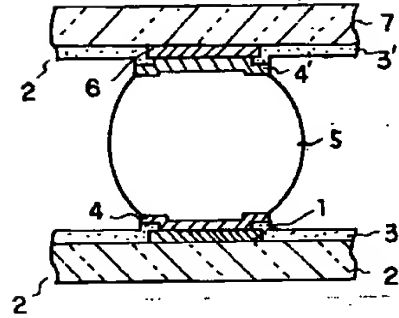
【図17】



【図13】



【図15】



【図16】

